

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup> (11) 공개번호 특2001-0058477  
H01L 27/10 (43) 공개일자 2001년07월05일

(21) 출원번호 10-1993-0065810  
(22) 출원일자 1993년12월30일  
(71) 출원인 주식회사 하이닉스반도체 박종섭  
경기 이천시 부발읍 아미리 산136-1  
(72) 발명자 장진만  
경기도이천시부발읍아미리753번지현대아파트701-301  
미찬용  
경기도이천시대월면사동리현대아파트104-101호  
(74) 대리인 박대진, 정은섭

심사청구 : 없음

(54) 텅스텐층 산화를 방지한 워드라인 형성방법

요약

본 발명은, 텅스텐층 산화를 방지한 워드라인 형성방법에 관한 것으로서, 특히, 워드라인을 형성할 때, 텅스텐층의 측면부분에만 질화막을 잔류시켜서 후속 산화공정에서 텅스텐층이 산화되는 것을 방지하므로 텅스텐층의 산화를 방지하기 위하여 필요한 공정비용을 감소할 뿐만아니라 소자의 신뢰성을 향상시켜 소자의 전기적인 특성을 향상하도록 하는 매우 유용하고 효과적인 발명이다. 또한, 워드라인을 산화하기 위한 새로운 공정의 개발이 필요하지 않을 뿐만아니라 종래에 텅스텐실리사이드층을 산화하기 위하여 진행하던 산화공정을 그대로 텅스텐층을 적용한 경우에도 이용하므로 텅스텐층을 적용한 워드라인에 대하여 보다 빠르게 공정을 안정화시킬 수 있으며, 새로운 선택적 산화장비를 이용하지 않아도 공정을 진행할 수 있으므로 장비의 개발에 드는 비용을 절감하도록 하는 장점을 지닌다.

도표도

도3d

색인어

워드라인 스퍼터링 텅스텐층 질화막 산소차단막 선택적산화

명세서

도면의 간단한 설명

도 1(a) 및 도 1(b)은 종래의 워드라인을 형성하는 방법을 순차적으로 보인 도면이고,  
도 2(a) 내지 도 2(e)는 본 발명의 일실시예에 따른 텅스텐층의 산화를 방지한 워드라인 형성방법을 순차적으로 보인 도면이고,  
도 3(a) 내지 도 3(e)는 본 발명의 다른 실시예에 따른 텅스텐층의 산화를 방지한 워드라인 형성방법을 순차적으로 보인 도면이다.

\*도면의 주요 부분에 대한 부호의 설명\*

10, 110 : 반도체기판 15, 115 : 폴리실리콘층  
20, 120 : 텅스텐층 25, 125 : 산화 및 비하드마스크산화막  
30, 130 : 스퍼터링산화막 35, 135 : 산소차단막  
40, 140 : 잔류산소차단막 45, 145 : 세정부위

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체장치에서 워드라인(Word Line)을 형성하는 방법에 관한 것으로서, 특히, 반도체기판 상에 폴리실리콘층, 텅스텐층 및 하드마스크산화막을 적층하고, 스퍼터링공정을 이용하여 폴리실리콘층 측면부에 스퍼터링산화막을 형성한 후, 전체 결과물 상에 질화막을 적층한 후 비등방성식각으로 텅스텐층의 측면부에만 질화막을 잔류시키므로 후속 산화공정에서 텅스텐층이 산화되는 것을 방지하도록 하는 텅스텐층 산화를 방지한 워드라인 형성방법에 관한 것이다.

일반적으로, DRAM셀이 고집적화되면서 셀의 크기가 작아지게 되므로 워드라인 역시 작아지게 되고, 그로 인하여 워드라인의 저항이 종래에 비하여 현저하게 증가하는 문제를 지닌다.

이러한 점을 고려하여 종래에는 주로 워드라인의 재료물질로서, 폴리실리콘층 상에 저항이 비교적 높은 텅스텐실리사이드층을 적층하여 사용하는 경우가 많았으나, 최근에는 저항값이 비교적 큰 텅스텐실리사이드층 대신에 저항이 작은 텅스텐층을 주로 사용하는 추세이다.

도 1(a) 및 도 1(b)은 종래의 워드라인을 형성하는 방법을 순차적으로 보인 도면으로서, 종래의 워드라인의 형성공정을 살펴 보도록 한다.

도 1(a)에 도시된 바와 같이, 반도체기판(1) 상에 폴리실리콘층(2), 텅스텐층(3) 및 하드마스크산화막(4)을 적층한 후, 마스크 식각공정으로 워드라인(Word Line)을 형성하도록 한다.

그리고, 도 1(b)에 도시된 바와 같이, 폴리실리콘층(2)을 산화할 때, 폴리실리콘층(2) 뿐만아니라 산화가 이루어지지 않아야 하는 부분인 텅스텐층(3)까지 산화가 되므로 텅스텐층(3)의 측면부분에 텅스텐산화부위(5)가 형성되어지게 된다.

그러나, 종래에 사용하던 텅스텐층(3)의 산화특성으로 인하여 텅스텐층(3)의 측면부분에 부피가 양측으로 돌출되게 팽창한 텅스텐산화부위(5)로 인하여 워드라인의 전기적인 저항의 증가는 물론 워드라인의 모양이 변화되어져서 후속 공정 진행이 불가능한 문제점을 지닌다.

또한, 상기한 문제를 해결하기 위하여 폴리실리콘층(2)만을 산화시키고, 텅스텐층(3)은 산화시키지 않는 선택적 산화장치가 개발 중에 있으나, 상기 선택적장치는 아직까지는 선택적산화공정의 어려움과 웨이퍼의 준비상태에 따라서 선택적산화가 이루어지지않는 등의 재연성의 문제로 인하여 사용상에 어려움이 있는 등의 문제를 지닌다.

#### 발명이 이루고자하는 기술적 과제

본 발명은 이러한 점을 감안하여 안출한 것으로서, 반도체기판 상에 폴리실리콘층, 텅스텐층 및 하드마스크산화막을 적층하고, 스퍼터링공정을 이용하여 폴리실리콘층 측면부에 스퍼터링산화막을 형성한 후, 전체 결과물 상에 질화막을 적층한 후 비등방성식각으로 텅스텐층의 측면부분에만 질화막을 잔류시키므로 후속 산화공정에서 텅스텐층이 산화되는 것을 방지하는 것이 목적이다.

#### 발명의 구성 및 작용

이러한 목적은 반도체기판 상에 폴리실리콘층, 텅스텐층 및 하드마스크산화막을 순차적으로 적층한 후, 마스크 식각으로 워드라인을 형성하는 단계와; 상기 결과물을 하드마스크산화막을 스퍼터링 식각공정으로 폴리실리콘층의 측벽에 스퍼터링산화막을 재 증착하는 단계와; 상기 결과물 상에 박막의 산소차단막을 증착하는 단계와; 상기 산소차단막을 비등방성 식각으로 텅스텐층의 측면부에 잔류산소차단막을 형성하는 단계와; 상기 결과물에 산화공정을 진행하여 폴리실리콘층을 산화시키는 단계를 포함하여 이루어진 텅스텐층 산화를 방지한 워드라인 형성방법을 제공함으로써 달성된다.

상기 스퍼터링(Sputtering) 공정후, 텅스텐층의 측면에 잔류된 산화막을 제거하기 위하여 세정공정을 더 진행하는 것이 바람직 하다.

상기 산소차단막은, 질화막인 것이 바람직 하지만 필요하다면 산소를 차단할 수 있는 다른 종류의 산화막을 증착하도록 한다.

상기 텅스텐층 상에 산소에 의하여 산화가 이루어지지 않는 비하드마스크산화막이 증착되는 경우에는, 상기 비하드마스크산화막 상에 스퍼터링용산화막을 적층하여 공정을 진행하는 것이 바람직 하다.

상기 폴리실리콘층을 산화시키기 전에 폴리실리콘층의 측벽에 재 증착되어 있던 스퍼터링산화막을 세정공정으로 제거하여 세정부위를 형성한 후, 진행하는 것이 바람직 하다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예에 대하여 상세하게 설명하고자 한다.

도 2(a)에 도시된 바와 같이, 반도체기판(10) 상에 폴리실리콘층(15), 텅스텐층(20) 및 하드마스크산화막(25)을 순차적으로 적층한 후, 마스크 식각으로 워드라인을 형성하도록 한다.

도 2(b)에 도시된 바와 같이, 상기 결과물을 하드마스크산화막(25)을 스퍼터링 식각공정으로 폴리실리콘층(15)의 측벽에 스퍼터링산화막(30)을 재 증착하도록 한다.

상기 스퍼터링 공정후, 텅스텐층(20)의 측면에 잔류된 산화막을 제거하기 위하여 세정공정을 더 진행하는 것이 바람직하다.

도 2(c)에 도시된 바와 같이, 상기 결과물 상에 박막의 산소차단막(35)을 증착하도록 한다. 상기 산소차단막(35)은, 질화막(35)인 것이 바람직 하나, 필요하다면 산소를 차단할 수 있는 적절한 물질로 대체하는 것이 가능하다.

도 2(d)에 도시된 바와 같이, 상기 산소차단막(35)을 비등방성 식각을 하여 텅스텐층(20)의 측면부에 잔류산소차단막(40)을 형성하도록 한다.

그리고, 상기 결과물에 산화공정을 진행하여 폴리실리콘층(15)을 산화시키도록 한다.

한편, 도 2(e)에 도시된 바와 같이, 상기 폴리실리콘층(15)을 산화시키기 전에 폴리실리콘층(15)의 측벽에 재 증착되어 있던 스퍼터링산화막(30)을 세정공정으로 제거하여 세정부위(45)를 형성한 후, 그 세정부위(45)에 산화막을 형성할 수 도 있다.

또한, 본 발명의 다른 실시예에 따른 텅스텐층 산화를 방지한 위드라인 형성방법을 살펴 보도록 한다.

도 3(a) 내지 도 3(e)에 도시된 바와 같이, 반도체기판(110) 상에 폴리실리콘층(115), 텅스텐층(120)을 증착한 후에, 만약 산화가 이루어지지 않는 물질인 비하드마스크산화막(125)이 증착된 경우, 종래와 다르게 상기 비하드마스크산화막 (125) 상에 스퍼터링용산화막(128)을 증착하도록 한다.

그리고, 상기 스퍼터링용산화막(128)을 스퍼터링 식각공정으로 스퍼터링하여서 폴리실리콘층(115)의 측면부분에서 스퍼터링되는 스퍼터링산화막(130)을 재증착하도록 한다.

그 이후에는 일 실시예의 공정과 동일하므로 설명을 생략하도록 한다.

이와 같이, 본 발명의 공정을 이용하게 되면, 텅스텐층(20)(120)의 측면부분에 산화막이 형성되는 것을 방지하게 되므로 텅스텐층 산화로 인한 저항증가를 방지하게 된다.

#### 발명의 효과

상기한 바와 같이, 본 발명에 따른 텅스텐층 산화를 방지한 위드라인 형성방법을 이용하게 되면, 반도체기판 상에 폴리실리콘층, 텅스텐층 및 하드마스크산화막을 적층하고, 스퍼터링공정을 이용하여 폴리실리콘층 측면부에 스퍼터링산화막을 형성한 후, 전체 결과물 상에 질화막을 적층한 후 비등방성식각으로 텅스텐층의 측면부분에만 질화막을 잔류시켜서 후속 산화공정에서 텅스텐층이 산화되는 것을 방지하므로 텅스텐층의 산화를 방지하기 위하여 필요한 공정비용을 감소할 뿐만아니라 소자의 신뢰성을 향상시켜 소자의 전기적 특성을 향상하는 매우 유용하고 효과적인 발명이다.

또한, 위드라인을 산화하기 위한 새로운 공정의 개발이 필요하지 않을 뿐만아니라 종래에 텅스텐실리사이드층을 산화하기 위하여 진행하던 산화공정을 그대로 텅스텐층을 적용한 경우에도 이용하므로 텅스텐층을 적용한 위드라인에 대하여 보다 빠르게 공정을 안정화시킬 수 있으며, 새로운 선택적 산화장비를 이용하지 않아도 공정을 진행할 수 있으므로 장비의 개발에 드는 비용을 절감하는 장점을 지닌다.

#### (57) 청구의 범위

**청구항 1.** 반도체기판 상에 폴리실리콘층, 텅스텐층 및 하드마스크산화막을 순차적으로 적층한 후, 패터닝하여 위드라인을 형성하는 단계와;

상기 결과물에서 하드마스크산화막을 스퍼터링 공정으로 식각하여 0폴리실리콘층의 측벽에 스퍼터링산화막을 증착하는 단계와;

상기 단계 후 상기 결과물 상에 박막의 산소차단막을 증착하는 단계와;

상기 산소차단막을 비등방성 식각으로 텅스텐층의 측면부에 잔류산소차단막을 형성하는 단계와;

상기 단계 후 상기 전체 구조에 산화공정을 진행하여 폴리실리콘층을 산화시키는 단계를 포함하여 이루어

진 것을 특징으로 하는 텅스텐층 산화를 방지한 워드라인 형성방법.

청구항 2. 제 1 항에 있어서, 상기 스퍼터링 공정후, 텅스텐층의 측면에 잔류된 산화막을 제거하기 위하여 세정공정을 더 진행하는 것을 특징으로 하는 텅스텐층 산화를 방지한 워드라인 형성방법.

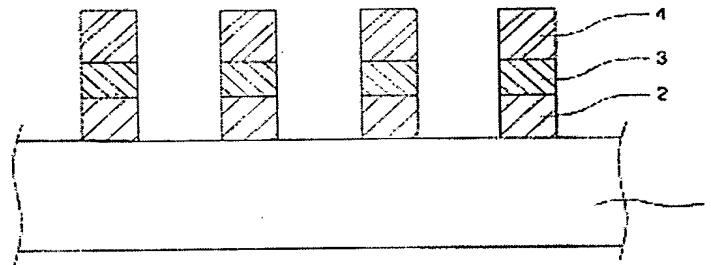
청구항 3. 제 1 항에 있어서, 상기 산소차단막은, 질화막인 것을 특징으로 하는 텅스텐층 산화를 방지한 워드라인 형성방법.

청구항 4. 제 1 항에 있어서, 상기 텅스텐층 상에 산소에 의하여 산화가 이루어지지 않는 비하드마스크 산화막이 증착되는 경우에는, 상기 비하드마스크산화막 상에 스퍼터링용산화막을 적층하여 공정을 진행하는 것을 특징으로 하는 텅스텐층 산화를 방지한 워드라인 형성방법.

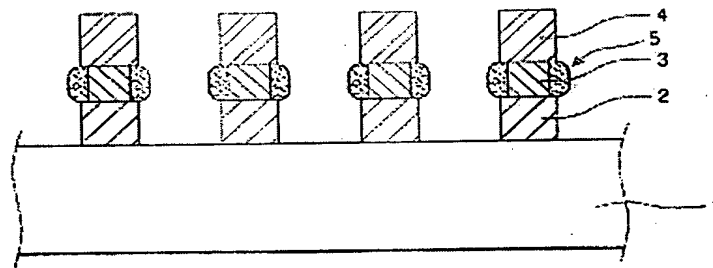
청구항 5. 제 1 항에 있어서, 상기 폴리실리콘층을 산화시키기 전에, 폴리실리콘층의 측벽에 재 증착되어 있던 스퍼터링산화막을 세정공정으로 제거하여 세정부위를 형성한 후 진행하는 것을 특징으로 하는 텅스텐층 산화를 방지한 워드라인 형성방법.

도면

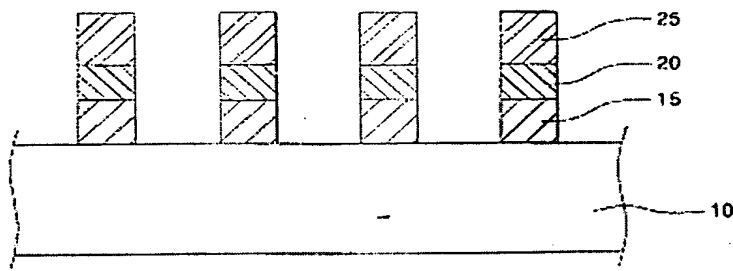
도면 1a



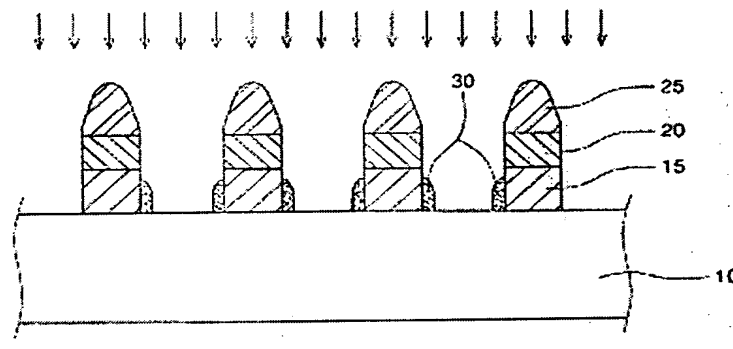
도면 1b



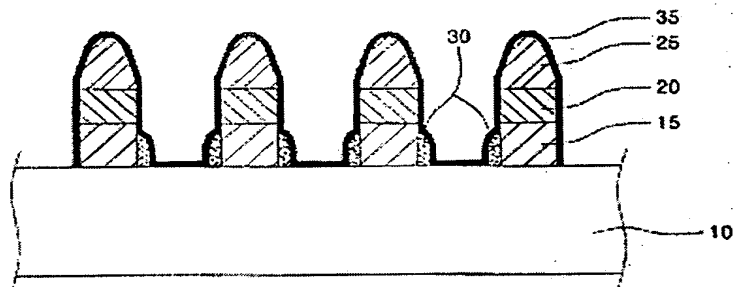
도 12a



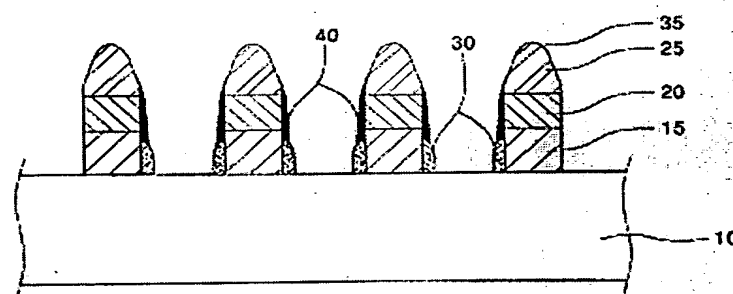
도 12b



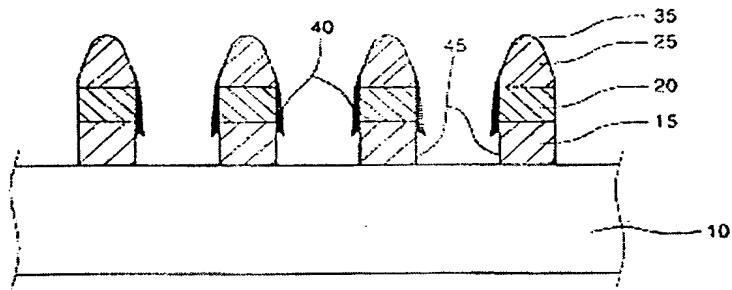
도 12c



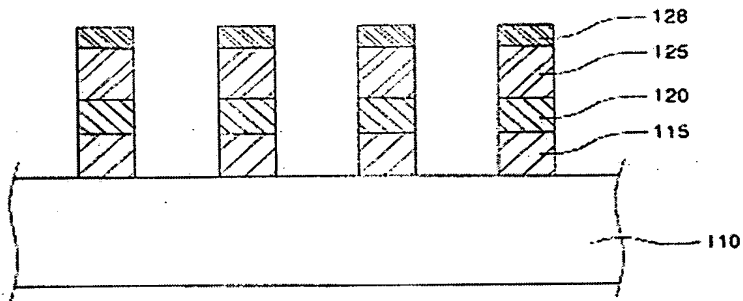
도 12d



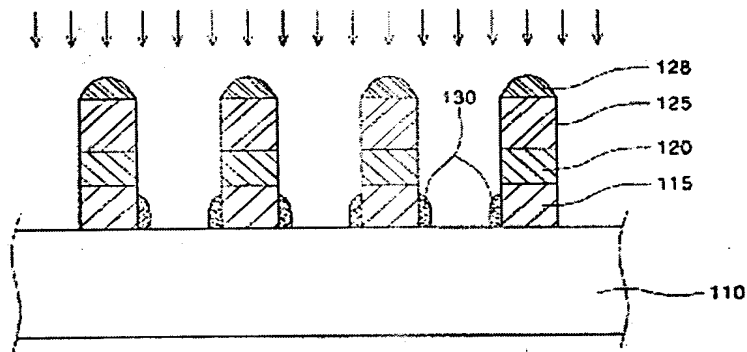
도 2a



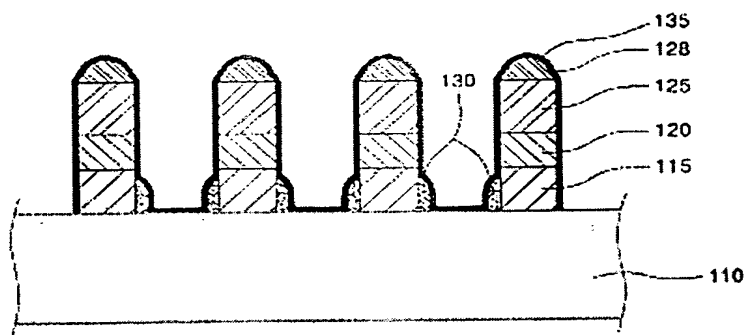
도 2b



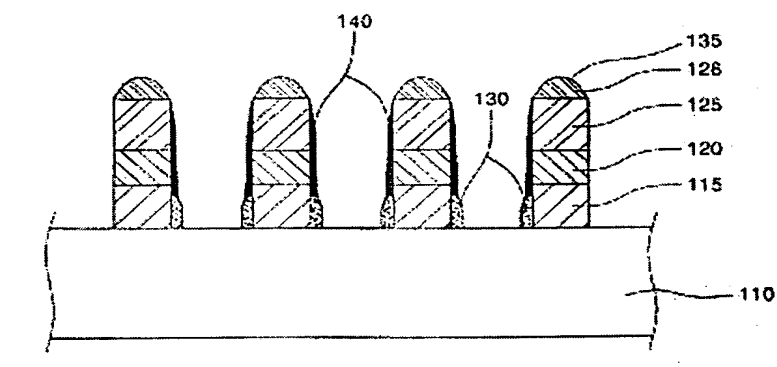
도 2c



도 3b



도 3d



도 3e

